



#10619144

07-27-04

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請 日：西元 2002 年 07 月 18 日
Application Date

申請 案 號：091116094
Application No.

申請 人：旺宏電子股份有限公司
Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 7 月 24 日
Issue Date

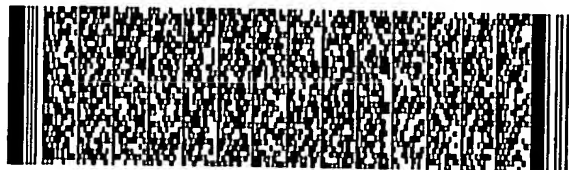
發文字號：09220745800
Serial No.

申請日期：	IPC分類
申請案號：091116094	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	多埠乙太網路交換器晶片及其雜蒭環測試法
	英 文	
二、 發明人 (共1人)	姓 名 (中 文)	1. 陳韻琪
	姓 名 (英 文)	1. Aphrodite Chen
	國 籍 (中 英 文)	1. 中華民國 ROC
	住居所 (中 文)	1. 新竹縣寶山鄉雙溪村館前路9號3樓
	住居所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	1. 旺宏電子股份有限公司
	名稱或 姓 名 (英 文)	1. Macronix International Co., Ltd.
	國 籍 (中 英 文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 新竹科學工業園區力行路16號 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英 文)	1.
	代表人 (中 文)	1. 胡定華
	代表人 (英 文)	1. Ding-Hua Hu



四、中文發明摘要 (發明名稱：多埠乙太網路交換器晶片及其離菊環測試法)

一種整合乙太網路實體層的乙太網路交換器晶片以及為其進行測試的離菊環測試法，該單晶片乙太網路交換器包含一離菊環測試模式，受一模式選擇信號切換而處於該離菊環測試模式下，於該離菊環測試模式下，該晶片的多個埠各自被連接一被動式迴路回接裝置，並決定一起始傳送埠及一終止接收埠，一外部輸入或內部產生的測試封包被輾轉地從該起始傳送埠向該終止接收埠傳遞，經過初始寫入位址表及封包來源位址學習程序而傳送該測試封包。

六、英文發明摘要 (發明名稱：)

一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

無

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

發明領域

本發明係有關一種乙太網路(Ethernet)交換器(switch)晶片及其測試方法，特別是關於一種三合一乙太網路交換器晶片及為其進行測試之雛菊環(daisy chain)測試法。

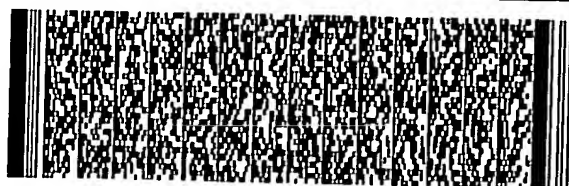
發明背景

將乙太網路交換器控制器(controller)、記憶體及乙太網路實體層(physical layer entity; PHY)整合在單晶片上是一種趨勢。然而，乙太網路實體層係類比電路，而其餘兩部份是數位電路，為此，三合一乙太網路交換器晶片進行測試時將變得複雜且昂貴。習知的測試方法係將類比電路及數位電路分別進行測試，如此，使得測試過程冗長，並且類比測試器(tester)要昂貴的多，測試成本因而相當高。對於整合後的乙太網路交換器晶片進行測試的習知方法與過去所使用的類比及數位測試方法並無不同，很難有大幅的改善。

因此，一種可以簡化測試的乙太網路交換器晶片乃被提出，而且新的且更有效率的測試方法亦被揭示。

發明目的與概述

本發明的目的之一，係在提供一種整合實體層的乙太網路交換器晶片，其包括一雛菊環測試模式，受一模式選擇信號切換而處於該雛菊環測試模式下，該晶片的多個埠



五、發明說明 (2)

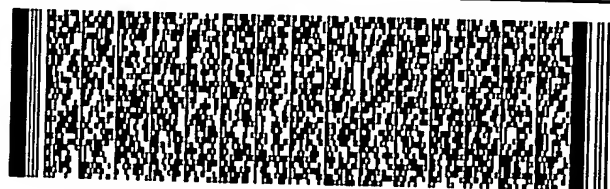
(port) 各自被連接一被動式迴路回接(passive loop-back)裝置，並決定一起始傳送埠及一終止接收埠，在該晶片中的位址解析控制邏輯(address resolution control logic)運作一具有離菊環測試功能的來源位址學習引擎(source address learning engine)之下，一外部輸入或內部產生的測試封包(packet)被輾轉地從該起始傳送埠向該終止接收埠傳遞，藉以測試該晶片。在一實施例中，該晶片包括一暫存器(register)儲存產生測試封包之資訊，俾在該晶片內部產生測試封包。

本發明的目的之一，亦在提供一種為乙太網路交換器晶片進行測試的離菊環測試法，其包括初始寫入位址表(address table)及封包來源位址學習程序(source address learning process)，在具有離菊環測試功能的來源位址學習引擎的運作之下，導引一測試封包輾轉地從一起始傳送埠向一終止接收埠傳遞，經由檢驗該終止接收埠最終收取的封包而決定該測試結果。該測試封包係從受測晶片的外部輸入或內部產生，若為後者，則更包括從該受測晶片中的暫存器取出預先儲存的資訊以產生該測試封包。

根據本發明，對於晶片製造商而言，其晶片測試的時間及成本皆大幅降低，而且只需要數位測試器。

詳細說明

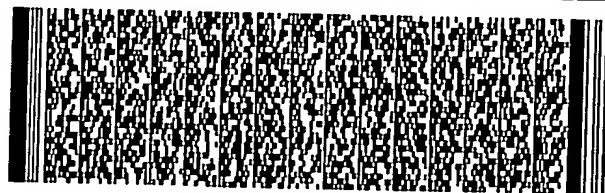
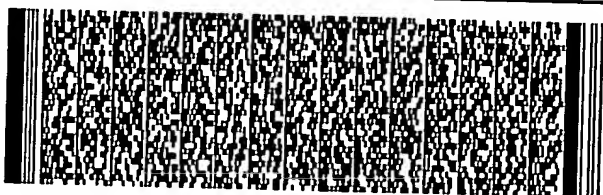
第一圖係根據本發明的單晶片乙太網路交換器的簡化



五、發明說明 (3)

功能方塊圖，一乙太網路交換器晶片10包括一數位部份12及一乙太網路實體層14，該交換器晶片10含有多個埠，該實體層14含有每一埠的收發器(transiver)的類比電路。該晶片10更包括一模式開關11，受一外部輸入的模式選擇信號Mode select而在正常模式(normal mode)與測試模式(test mode)之間切換。在測試模式下，從該晶片10的所有埠中選取一個為起始傳送埠STP以及另一個為終止接收埠SRP，一起始封包(start packet)從起始傳送埠STP饋入，經過在各個埠之間一連串的傳遞，而在終止接收埠SRP獲得一終止封包(stop packet)。在此傳遞封包的過程中，每一埠從其發送器(transmitter)送出測試封包，經過外界而從其自身的接收器(receiver)接收該測試封包，再傳送給下一埠，如此遞延直到終止接收埠SRP為止，並在此從終止封包判斷該晶片10是否為良品。為測試所需，此晶片10只須增加額外的一支接腳(pin)，以供輸入模式選擇信號Mode select切換至測試模式，至於測試過程中使用的其他接腳乃是各個埠既有的接腳。與習知技藝相較之下，為了分別測試數位電路與類比電路所增加的測試接腳全部被免除了。

第二圖係根據本發明的另一晶片實施例的簡化功能方塊圖，交換器晶片10'包括一數位部份12'及一乙太網路實體層14，同樣地，晶片10'亦包含多個埠及一模式開關11，且在測試模式下，亦從所有埠中選取一個為起始傳送埠STP以及另一個為終止接收埠SRP，此外，晶片10'更包

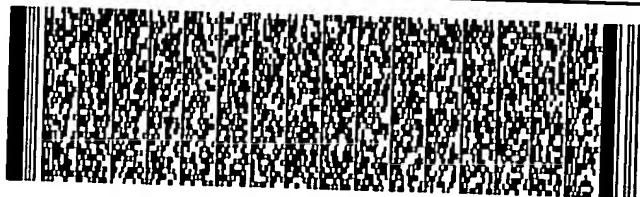


五、發明說明 (4)

括一封包產生機制13，藉以產生一起始封包提供給起始傳送埠STP，同樣地，經過在各個埠之間一連串的傳遞，在終止接收埠SRP獲得一終止封包，然而，晶片10'更包括一驗證單元15，前述封包產生機制13同時將起始封包傳送給驗證單元15，在此與終止封包比較，以判斷晶片10'測試的結果是否正確。

在上述兩個實施例中，模式開關11、封包產生機制13及驗證單元15可以硬體或軟體實現。而模式選擇信號Mode select可以從單獨的控制腳位或與其他信號共用的腳位輸入。

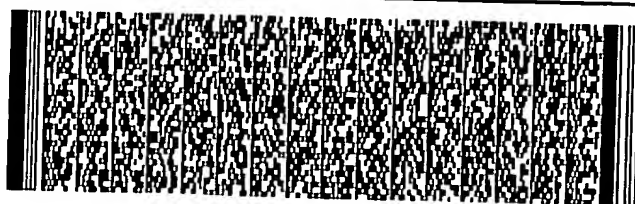
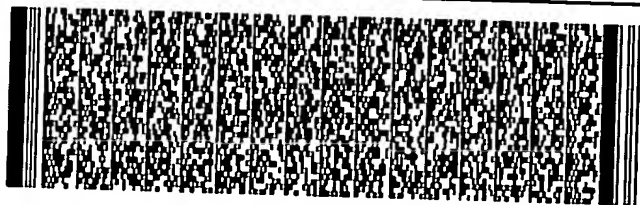
晶片10/10'的更詳細內部組成如第三圖所示，如同習知的整合式單晶片乙太網路交換器，在數位部份12/12'包括一位址表16、一位址解析控制邏輯18、多個收發埠的媒體存取控制及直接記憶存取(Medium Access Control-Direct Memory Access; MAC-DMA)20、22至24、一封包緩衝器控制器(packet buffer controller)26、一封包緩衝器庫(packet buffer pool)28、一封包存取協調引擎(packet access arbitration engine)30、一CPU/EEPROM介面控制器(interface controller)32及暫存器34，而類比部份14則包含多個收發埠的實體層36、38至40分別對應各自的MAC-DMA 20、22至24。晶片10/10'與外界的信號連接包括CPU/EEPROM介面控制器32連接至晶片接合墊(bonding pad)的讀寫信號WR/RD、資料輸入信號Data_out及資料輸出信號Data_in，以及實體層14中每一



五、發明說明 (5)

埠36、38至40的發送器及接收器與晶片接合墊之間的封包信號。在圖示的晶片10/10'中；因為離菊環測試而與習知技藝具有明顯差異的部份包括位址解析控制邏輯18、暫存器34、起始封包信號42(TXEN(0)及TXD(0)[3:0])與終止封包信號44(RXDV(N-1)及RXD(N-1)[3:0])。位址解析控制邏輯18包括封包目的位址(destination address)搜尋(lookup)及來源位址學習引擎，其具有離菊環測試功能，俾在測試模式下運作離菊環測試。暫存器34更儲存有測試封包所需的資訊，包括起始埠、終止埠、離菊環測試控制、欲自我測試的封包長度、自我測試的封包數量、封包態樣(pattern)、一般及中止封包。圖中位址解析控制邏輯18與各MAC-DMA之間的信號PORT_learn表示封包進入埠，應被以來源位址學習，而信號PORT_destined表示封包應被送出的埠，其包括三種情況，即廣播(broadcast)至進入埠以外的所有埠、過濾(filter)屬於與進入埠相同目的埠的埠及單送(unicast)至搜尋結果埠。

第四圖顯示一個位址表的資訊格式(information format)。一個位址表46係由許多記錄(entry)組成，這些記錄並被依序編號。每一個記錄的內容包括MAC位址、相關埠(correspond port)、時效計時器(ageing timer)及正確指示(valid indicate)。位址表的內容係供位址解析控制邏輯18參考所用，在一般情況下，位址解析控制邏輯18從位址表利用目的位址搜尋的功能查閱封包的目的埠。第五圖係目的位址搜尋的結果，其包括三種情況，即廣



五、發明說明 (6)

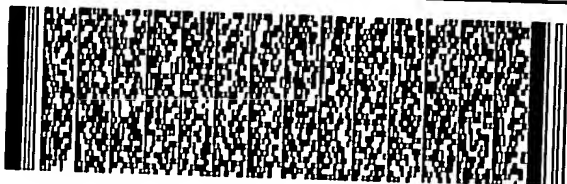
播、過濾及單送(unicast)至記錄相關埠，表48中的第一及第二欄分別表示在不同情況下封包目的位址與命中記錄(hitting entry)MAC位址的比較及封包進入埠(incoming port)與命中記錄相關埠的比較的條件。

在測試乙太網路交換器的過程中，包括利用位址解析控制邏輯18運作其來源位址學習引擎進行一來源位址學習程序，以測試交換器的功能。為便於瞭解本發明的原理及測試過程，先說明一般的位址解析控制運作，其首先係初始化位址表46，即清除位址表46或將"0"寫入位址表46的所有記錄中，成為如第六圖所示的位址表50內容。在接著的步驟中，當收到封包時，封包的來源位址被學習，埠的資訊被相關至進入埠。第七圖顯示習知的學習程序安排，其係將交換器52的每一埠54、56、58至60皆連接測試設備，如圖中所示，埠56及58分別連接測試設備62及64。在學習程序中：

埠56的封包：目的位址00 00 00 00 00 02，
來源位址00 00 00 00 00 01；

埠58的封包：目的位址00 00 00 00 00 01，
來源位址00 00 00 00 00 02。

學習結果如第八圖的位址表66所示，此時目的位址搜尋的結果：



五、發明說明 (7)

埠56的封包：目的位址00 00 00 00 00 02，
來源位址00 00 00 00 00 01，
導向第二埠；

埠58的封包：目的位址00 00 00 00 00 01，
來源位址00 00 00 00 00 02，
導向第一埠。

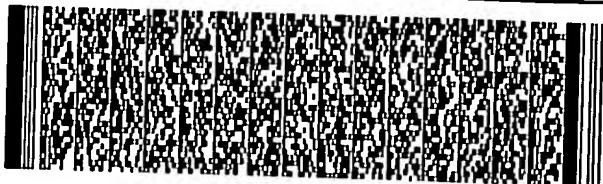
從第七圖，習知的晶片不提供數位接腳以進行測試，但是需要昂貴且複雜的測試設備，並且晶片內的暫存器不具備任何測試封包的資訊。

如果將第七圖的安排改用被動式迴路回接裝置，如第九圖所示，埠56及58分別連接一被動式迴路回接裝置68及70。在埠56產生一串位址遞增的封包流如下：

第一封包：目的位址00 00 00 00 00 02，
來源位址00 00 00 00 00 01；

第二封包：目的位址00 00 00 00 00 03，
來源位址00 00 00 00 00 02；

第三封包：目的位址00 00 00 00 00 04，
來源位址00 00 00 00 00 03；



五、發明說明 (8)

... ; 依此類推。

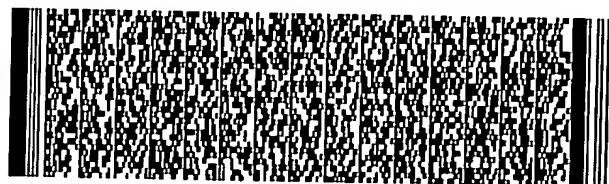
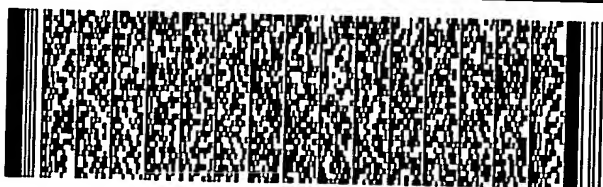
由於位址表的起始值被清除為0，如表50所示，使得從被動式迴路回接裝置68回送的封包無法找到目的埠，因此全部被廣播到其他的埠去，由迴路回接裝置68回送的封包流被學習的結果如第十圖的表72所示，然而由其他埠傳出再經過所對應的迴路回接裝置回送的封包經搜尋位址表72的結果，又會將封包流自埠56傳出再經迴路回接裝置68回送，而這些自其他埠送回的封包流的來源位址又被重新學習，使得位址表的動態改變完全無法預測，而這些傳出去其他埠的封包流又不斷傳回自己的埠，將使系統完全崩潰。

一般而言，乙太網路交換器必須驗證主要項目包括：

- (1) 全線速度：即變換埠可同時轉送148810封包/秒對100M及14880封包/秒對10M。
- (2) 封包型態：包括單送、廣播、過濾及中止(pause)封包。中止封包的目的地址特定為01 80 c2 00 00 01。每一埠接收到中止封包，該埠應停止發送封包，直到計時槽(timer slot)到期。
- (3) 埠雙工(duplex)：包括全雙工及半雙工。

這些項目皆可利用本發明的雛菊環測試法來測試。

在本發明的位址解析控制運作中，包括初始化設定雛菊環測試位址表，亦即寫入欲測試的MAC位址及起始埠編



五、發明說明 (9)

號加1至所有記錄(或位址)中，以及當收到封包時，封包的來源位址被學習，埠的資訊被寫為原來的記錄埠編號加1，但是當埠編號為終止埠時，則不修改。質言之，首先清除位址表及設定起始埠為第0埠，成為如第十一圖所示的位址表74內容。學習程序安排如第十二圖所示，交換器76包括埠78、80、82至84，分別連接被動式迴路回接裝置68、70至86。在埠78產生位址遞增封包流如下：

第一封包：目的位址00 00 00 00 00 02，
 來源位址00 00 00 00 00 01；

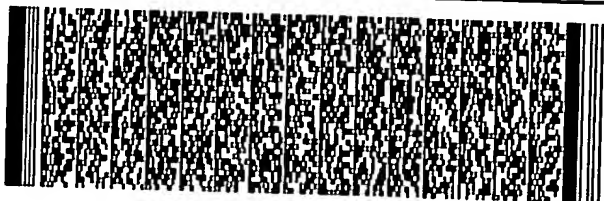
第二封包：目的位址00 00 00 00 00 03，
 來源位址00 00 00 00 00 02；

第三封包：目的位址00 00 00 00 00 04，
 來源位址00 00 00 00 00 03；

第四封包：目的位址00 00 00 00 00 05，
 來源位址00 00 00 00 00 04；

第五封包：目的位址00 00 00 00 00 06，
 來源位址00 00 00 00 00 05；

... ..；依此類推。



五、發明說明 (10)

在封包流經過埠68繞回的學習結果如第十三圖的位址表88所示，所有的封包會轉送至下一埠80傳出，再經被動式迴路回接裝置70繞回埠80，目的位址搜尋位址表88的結果係轉送至下一埠82，而繞回埠80的學習結果如第十四圖的位址表90所示。從埠82送出再繞回後，目的位址搜尋位址表90的結果係轉送至下一埠，依此類推，直到埠84的前一埠，經繞回的學習結果如第十五圖的位址表92所示。然後在埠84送出及繞回後，因為埠84為終止埠，故來源埠學習不再加1，目的位址搜尋結果不再送至下一埠，而全部被過濾。從終止埠檢驗最終的測試封包即獲得測試結果。本發明的晶片為了離菊環測試提供數位接腳，如果不欲增加數位接腳，則在晶片內提供計數器(counter)，以收集封包的循環冗餘碼檢查(CRC)及遺失的數量。

對於廣播封包而言，前述的測試觀念仍然適用，但是需要略為修改測試安排，如第十六圖所示，只能選擇埠78、80、82、...、84其中之一連接被動式迴路回接裝置68，其餘各埠則不接。

以上對於本發明之較佳實施例所作的敘述係為闡明之目的，而無意限定本發明精確地為所揭露的形式，基於以上的教導或從本發明的實施例學習而作修改或變化是可能的，實施例係為解說本發明的原理以及讓熟習該項技術者以各種實施例利用本發明在實際應用上而選擇及敘述，本發明的技術思想企圖由以下的申請專利範圍及其均等來決定。

圖式簡單說明

對於熟習本技藝之人士而言，從以下所作的詳細敘述配合伴隨的圖式，本發明將能夠更清楚地被瞭解，其上述及其他目的及優點將會變得更明顯，其中：

第一圖係根據本發明的單晶片乙太網路交換器的簡化功能方塊圖；

第二圖係根據本發明的另一交換器晶片實施例的簡化功能方塊圖；

第三圖係根據本發明的單晶片乙太網路交換器的內部組成電路；

第四圖係乙太網路交換器內部的位址表的資訊格式；

第五圖係交換器中的位址解析控制邏輯的目的位址搜尋結果；

第六圖係習知技藝中學習程序前初始化的位址表；

第七圖係習知的學習程序安排；

第八圖係第七圖中的學習結果位址表；

第九圖係將第七圖的學習程序安排中的測試設備改用被動式迴路回接裝置取代；

第十圖係第九圖中的學習結果位址表；

第十一圖係根據本發明的雛菊環測試法，初始化設定的雛菊環測試位址表；

第十二圖係根據本發明的學習程序安排；

第十三圖係第十二圖中的一個埠的學習結果位址表；

第十四圖係第十二圖中的另一個埠的學習結果位址表；



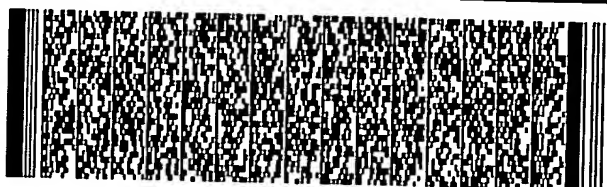
圖式簡單說明

第十五圖係第十二圖中的終止埠的前一個埠的學習結果位址表；及

第十六圖係根據本發明的廣播測試的學習程序安排。

圖號對照表：

10/10'	乙太網路交換器晶片
11	模式開關
12/12'	數位部份
13	封包產生機制
14	乙太網路實體層
15	驗證單元
16	位址表
18	位址解析控制邏輯
20	媒體存取控制及直接記憶存取
22	媒體存取控制及直接記憶存取
24	媒體存取控制及直接記憶存取
26	封包緩衝器控制器
28	封包緩衝器庫
30	封包存取協調引擎
32	CPU/EEPROM 介面控制器
34	暫存器
36	實體層
38	實體層
40	實體層



圖式簡單說明

- 42 起 始 封 包 信 號
- 44 終 止 封 包 信 號
- 46 位 址 表
- 48 目 的 位 址 搜 尋 的 結 果
- 50 位 址 表
- 52 交 換 器
- 56 埠
- 58 埠
- 60 埠
- 62 測 試 設 備
- 64 測 試 設 備
- 66 位 址 表
- 68 被 動 式 迴 路 回 接 裝 置
- 70 被 動 式 迴 路 回 接 裝 置
- 72 位 址 表
- 74 位 址 表
- 76 交 換 器
- 78 埠
- 80 埠
- 82 埠
- 84 埠
- 86 被 動 式 迴 路 回 接 裝 置
- 88 位 址 表
- 90 位 址 表



圖式簡單說明

92 位址表



六、申請專利範圍

1. 一種單晶片乙太網路交換器，包括：

一實體層，含有許多埠；

一位址表，供寫入及讀出關於操作該許多埠的資訊；

一功能手段，以切換該交換器至一離菊環測試模式；

及

一位址解析控制邏輯，含有一測試引擎，於該離菊環測試模式下執行一封包來源位址學習程序，以將一測試封包輾轉地傳遞經過該許多埠。

2. 如申請專利範圍第1項之交換器，更包括一輸入裝置，以輸入該測試封包。

3. 如申請專利範圍第1項之交換器，更包括一封包產生器，以在該交換器中產生該測試封包。

4. 如申請專利範圍第3項之交換器，更包括一儲存裝置，以儲存該測試封包之資訊。

5. 如申請專利範圍第1項之交換器，更包括一驗證裝置，以驗證該測試封包變化。

6. 如申請專利範圍第1項之交換器，更包括一輸出裝置，以輸出該測試封包變化至該交換器外。

7. 如申請專利範圍第1項之交換器，其中該測試引擎更包括一寫入裝置，於該離菊環測試模式下寫入一組初始位址至該位址表中。

8. 如申請專利範圍第1項之交換器，其中該封包來源位址學習程序包括將封包目的位址定為下一埠。

9. 一種離菊環測試法，供測試一整合實體層之單晶片



六、申請專利範圍

乙太網路交換器，該實體層含有許多埠，該交換器含有一位址表供寫入及讀出關於操作該許多埠的資訊，該測試法包括下列步驟：

將該許多埠的每一埠連接一被動式迴路回接裝置；

從該許多埠中選擇一起始傳送埠及一終止接收埠；

給予該起始傳送埠一測試封包；及

進行一封包來源位址學習程序，以將該測試封包輾轉地從該起始傳送埠向該終止接收埠傳遞。

10. 如申請專利範圍第9項之測試法，更包括輸入該測試封包至該交換器中。

11. 如申請專利範圍第9項之測試法，更包括在該交換器中產生該測試封包。

12. 如申請專利範圍第9項之測試法，更包括在該終止接收埠後驗證該測試封包變化。

13. 如申請專利範圍第12項之測試法，更包括輸出該測試封包變化至該交換器外。

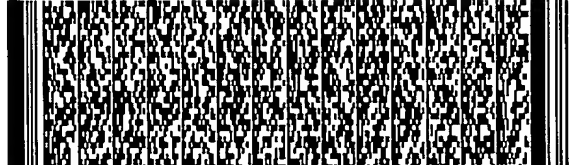
14. 如申請專利範圍第9項之測試法，其中該學習程序包括將一接收封包的目的地址定為下一埠。



第 1/19 頁



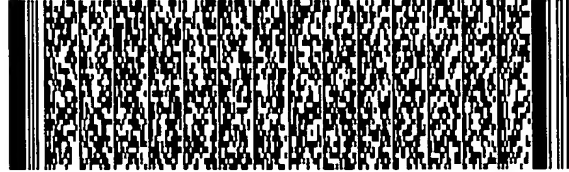
第 2/19 頁



第 3/19 頁



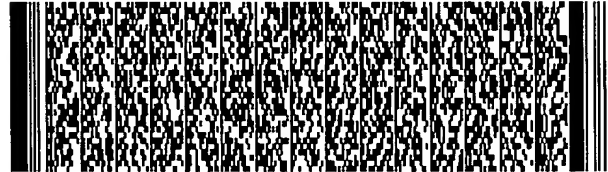
第 4/19 頁



第 4/19 頁



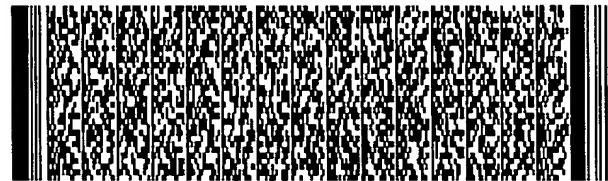
第 5/19 頁



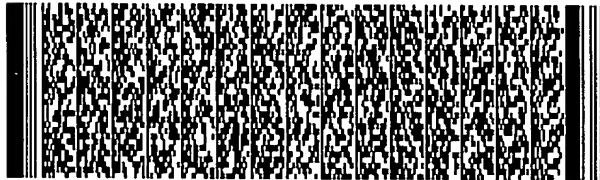
第 5/19 頁



第 6/19 頁



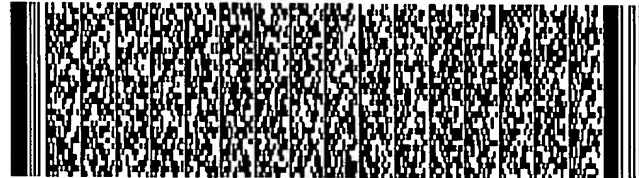
第 6/19 頁



第 7/19 頁



第 7/19 頁



第 8/19 頁



第 8/19 頁



第 9/19 頁



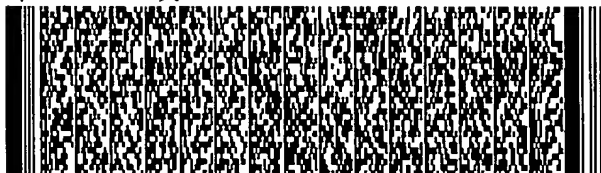
第 9/19 頁



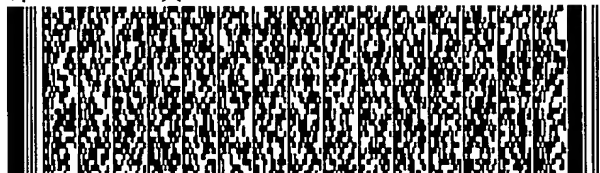
第 10/19 頁



第 11/19 頁



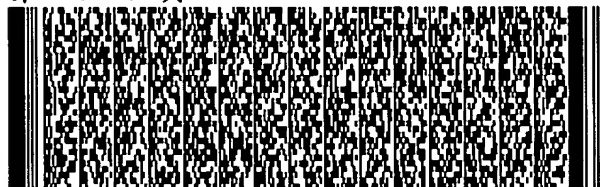
第 11/19 頁



第 12/19 頁



第 13/19 頁



第 13/19 頁



第 14/19 頁



第 15/19 頁



第 16/19 頁



第 17/19 頁

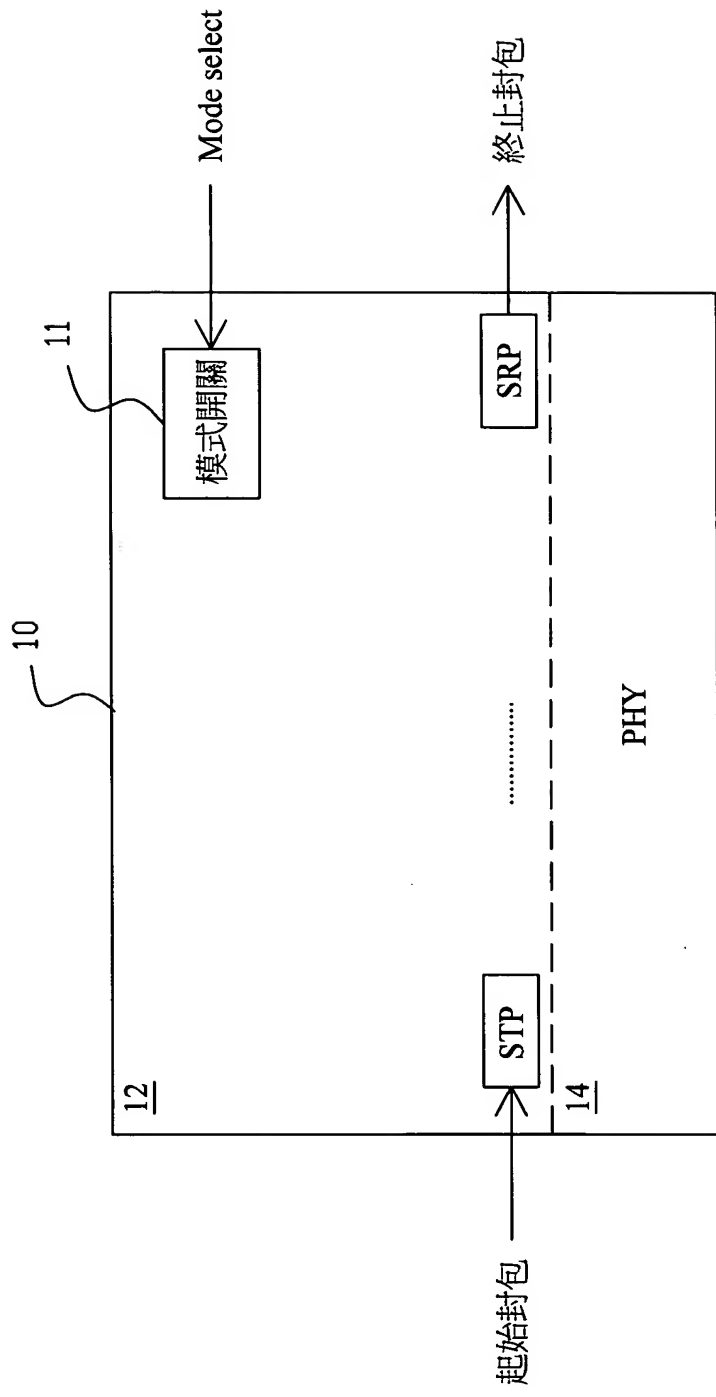


第 18/19 頁

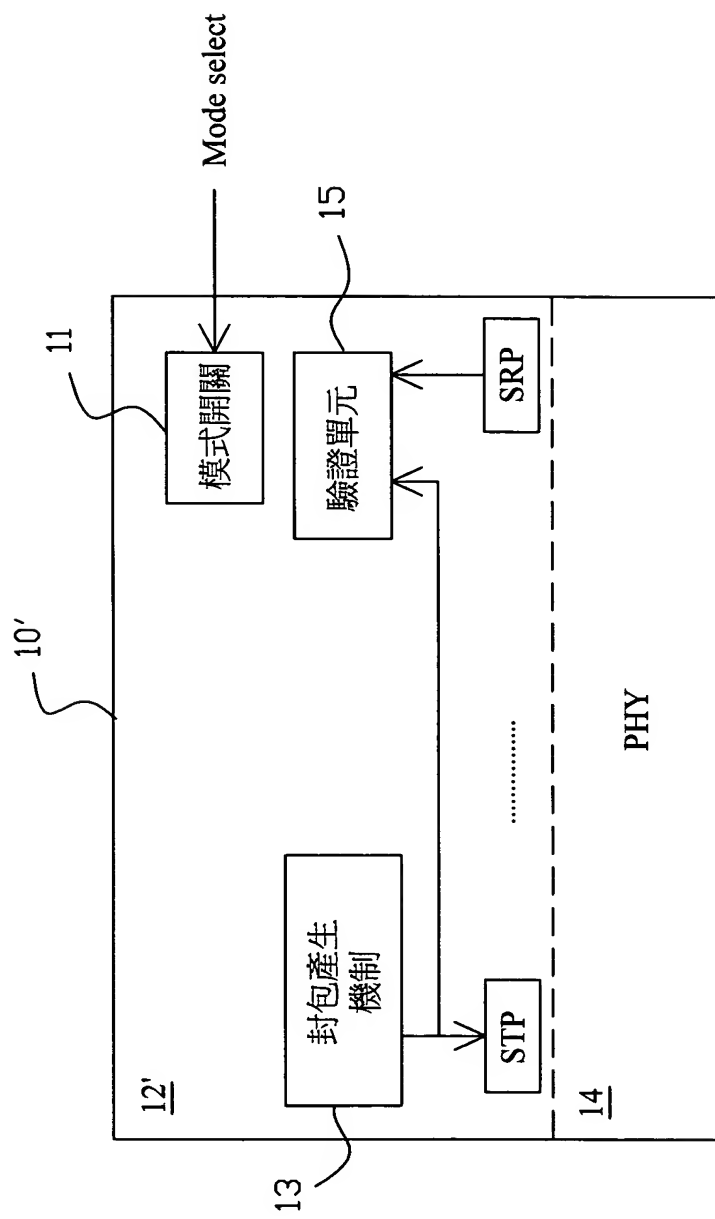


第 19/19 頁

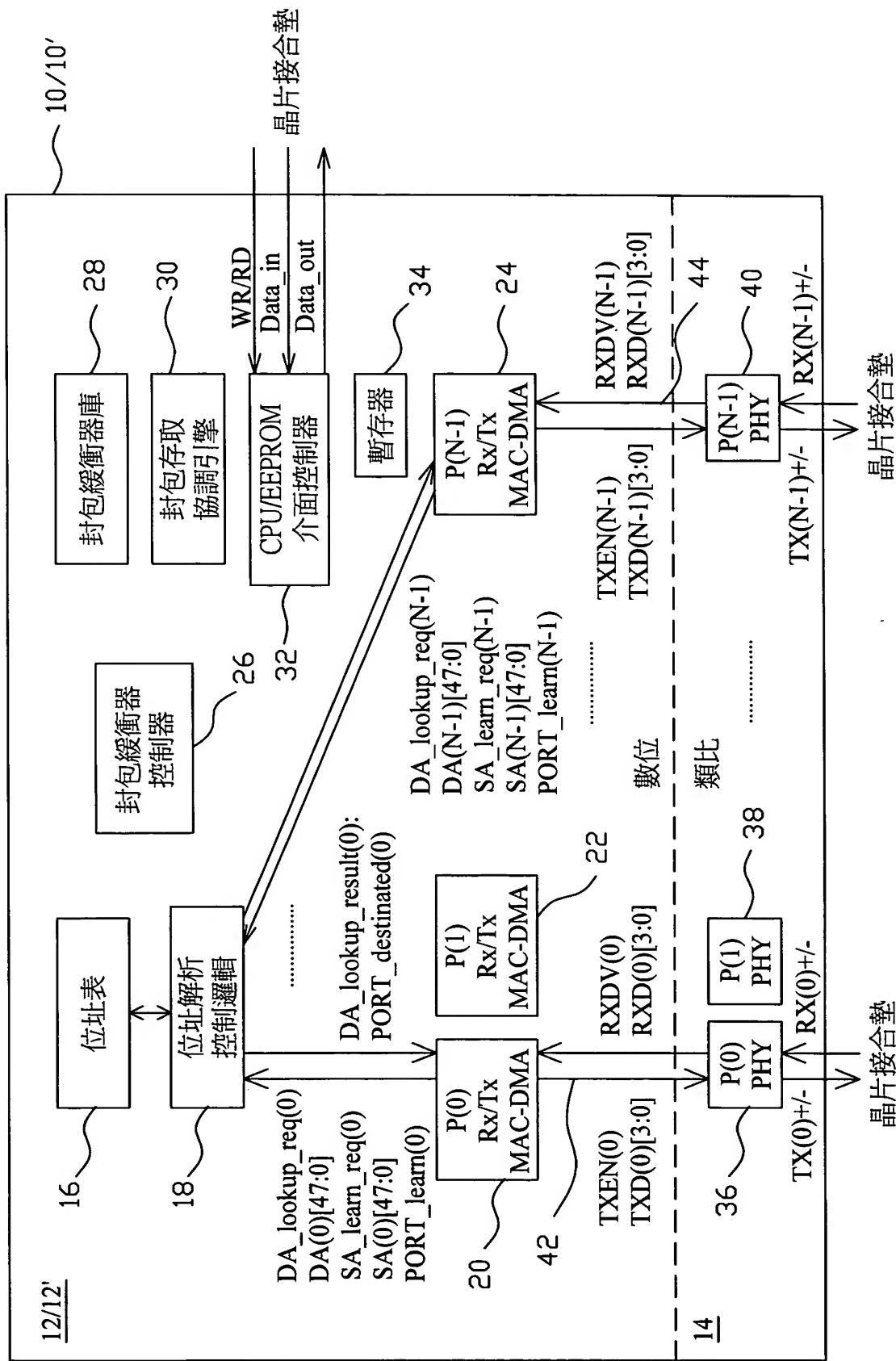




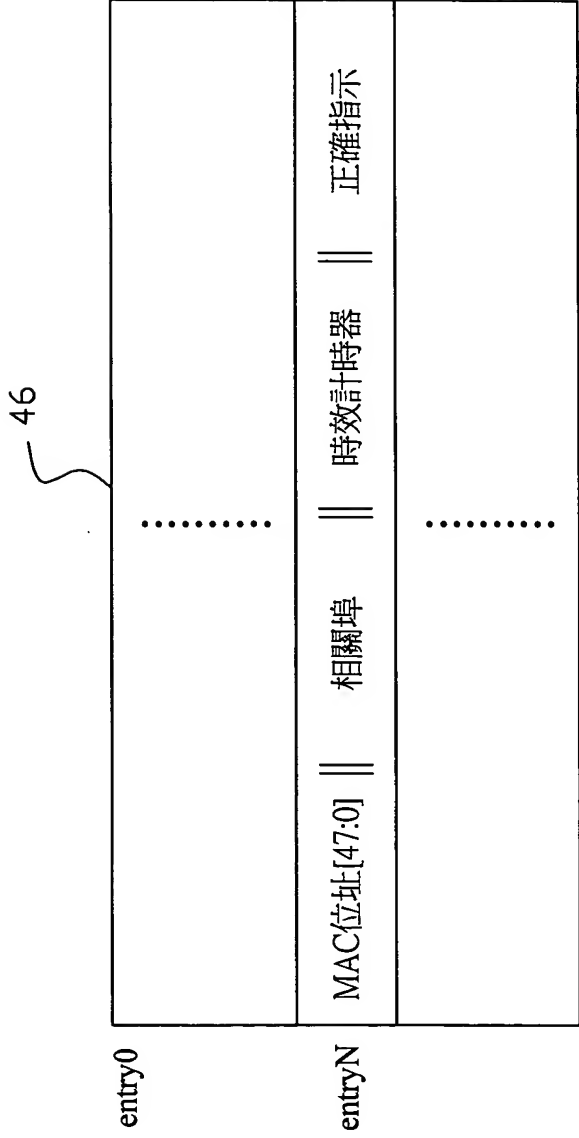
第一圖



第二圖



第三圖



第四圖

封包目的位址與 命中記錄MAC位址比較	封包進入埠與 命中記錄相關埠比較	結果
!=	不管	廣播
==	==	過濾
==	!=	單送至記錄相關埠

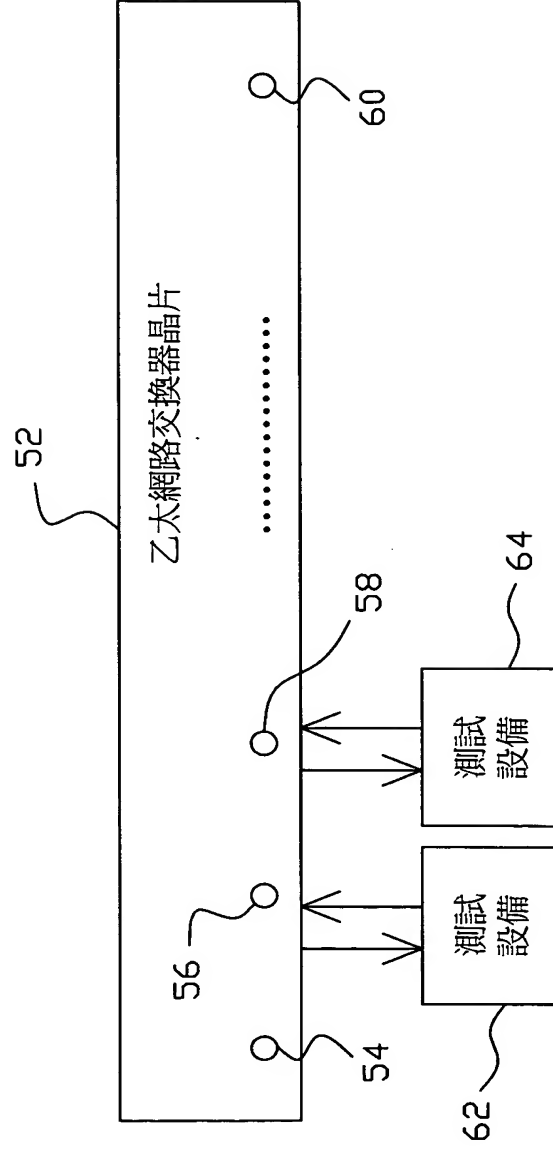
第五圖

50

MAC位址[47:0]	相關埠	時效計時器	正確指示
000---0---0-0	0---0---0	0	0
000---0---0-0	0---0---0	0	0

entry0

第六圖

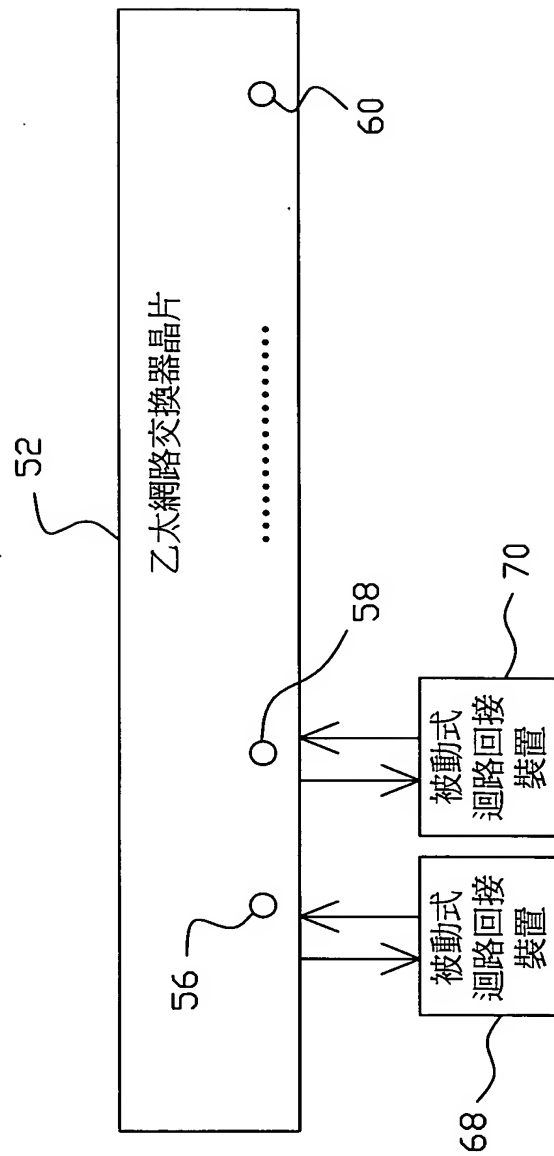


第七圖

MAC位址[47:0]	相關埠	時效計時器	正確指示
00 00 00 00 00 01	01	000	1
00 00 00 00 00 02	02	000	1

entry0

第八圖



第九圖

72

MAC位址[47:0]	相關埠	時效計時器	正確指示
00 00 00 00 00 01	01	000	1
00 00 00 00 00 02	01	000	1
00 00 00 00 00 03	01	000	1
...			

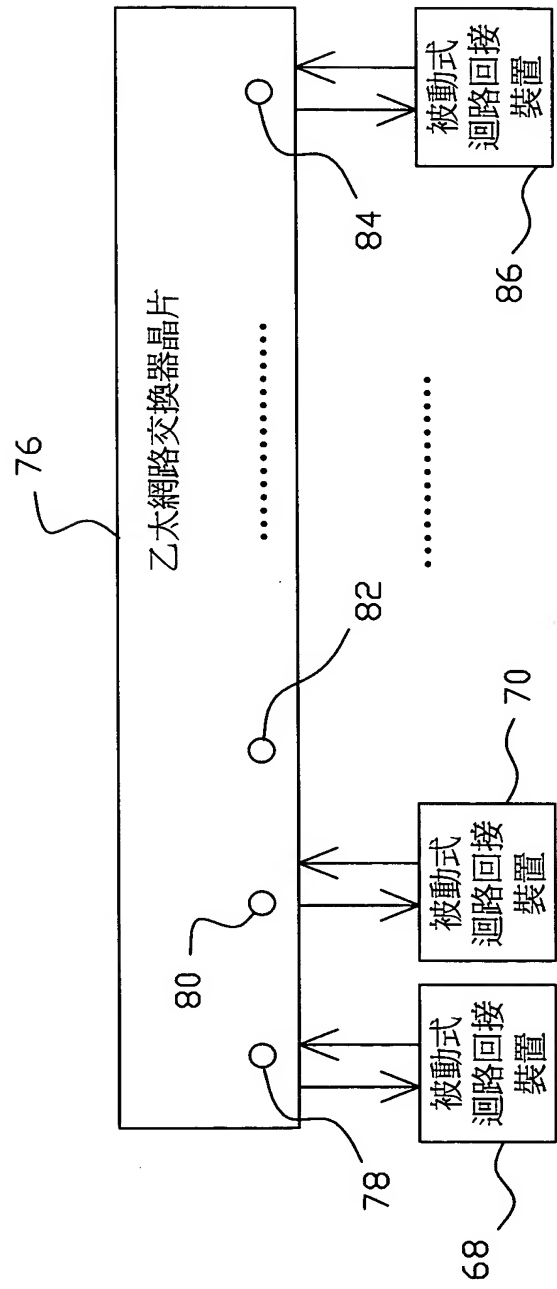
entry0

第十圖

MAC位址[47:0]	相關埠	時效計時器	正確指示
000---0---0-1	0---0---1	0	1
000---0---0-2	0---0---1	0	1
.....			
000---0---0-M	0---0---1	0	1

entry0

第十一圖



第十二圖

MAC位址[47:0]	相關埠	時效計時器	正確指示
000---0---0-1	0---0---2	0	1
000---0---M	0---0---2	0	1

entry0

第十三圖

90

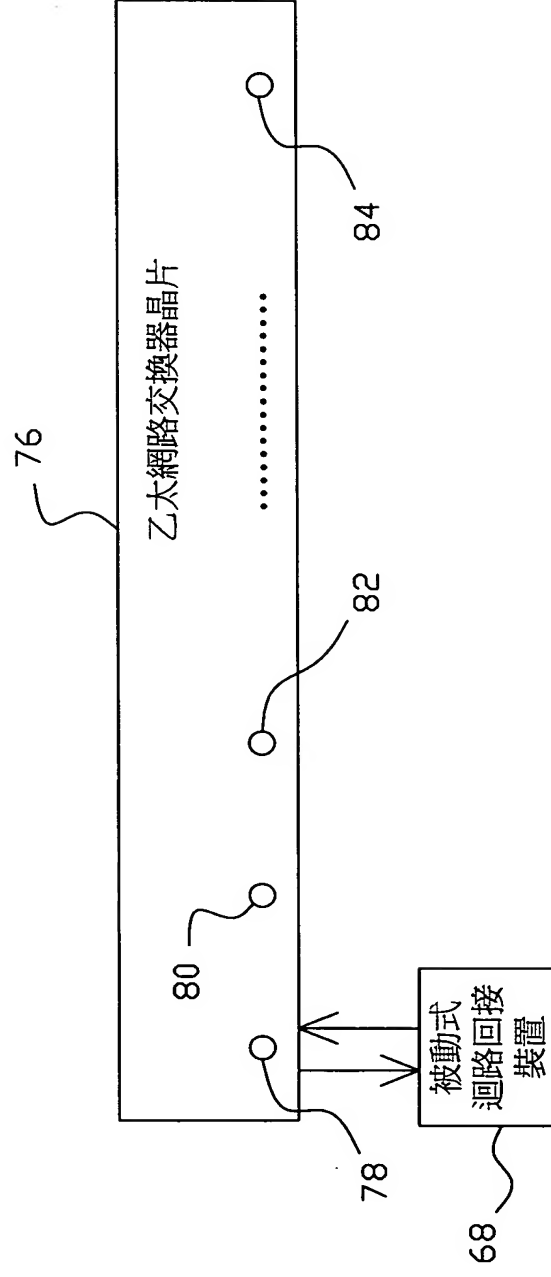
MAC位址[47:0]	相關埠	時效計時器	正確指示
000---0---0-1	0---0---3	0	1
000---0---M	0---0---3	0	1

entry0

第十四圖

MAC位址[47:0]	相關埠	時效計時器	正確指示
000---0---0-1	0---0---N	0	1
000---0---M	0---0---N	0	1

第十五圖



第十六圖